

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: TU, Chun-Yen Conf.:  
Appl. No.: NEW Group:  
Filed: August 22, 2003 Examiner:  
For: DATA TRANSMISSION METHOD FOR  
MICROPROCESSOR IN A PROGRAMMABLE LOGIC  
CONTROLLER

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

August 22, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

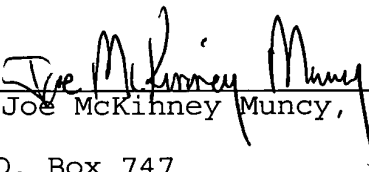
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092116442	June 17, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

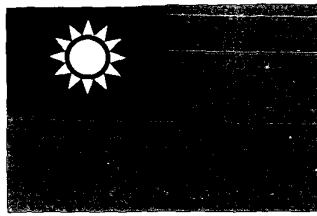
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Joe McKinney Muncy, #32,334

KM/smt  
3313-1022P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)



August 22, 2003

BSKBLP

708-205-8055

3313-10227

1041

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 17 日  
Application Date

申請案號：092116442  
Application No.

申請人：台達電子工業股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 8 月 6 日  
Issue Date

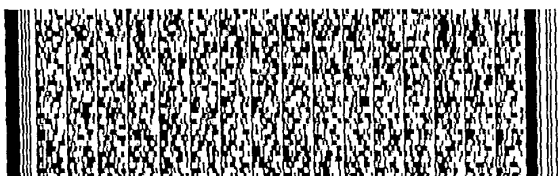
發文字號：09220796950  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	可程式邏輯控制器之微處理器間之資料傳輸方法
	英 文	Data Transmission Method for Microprocessors of Programmable Logic Controller
二、 發明人 (共1人)	姓 名 (中文)	1. 杜俊諺
	姓 名 (英文)	1. Chun-Yen TU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龜山鄉山頂村興邦路31-1號
	住居所 (英 文)	1. No. 31-1, Hsing-Pang Rd., Kuei-Shan Hsiang, Shan-Ting Tsun, Taoyuan, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台達電子工業股份有限公司
	名稱或 姓 名 (英文)	1. DELTA ELECTRONICS, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉山頂村興邦路31-1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 31-1, Hsing-Pang Rd., Kuei-Shan Hsiang, Shan-Ting Tsun, Taoyuan, Taiwan, R. O. C.
	代表人 (中文)	1. 鄭崇華
	代表人 (英文)	1. Chung-Hua CHENG



四、中文發明摘要 (發明名稱：可程式邏輯控制器之微處理器間之資料傳輸方法)

一種可程式邏輯控制器之微處理器間之資料傳輸方法，係利用微處理器之一輸入/輸出腳位傳輸資料訊號，再利用另一輸入/輸出腳位傳輸時脈訊號，而資料訊號的格式則由一命令碼、一起始位址、一資料長度及至少一個以上之資料本體等字元組所組成，其中每一個字元組係由八個資料位元、一個檢查位元及一個回應位元所組成。

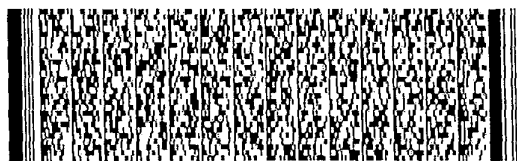
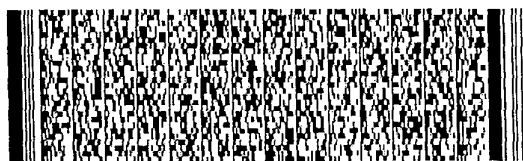
伍、(一)、本案代表圖為：第 \_\_\_2\_\_\_ 圖

(二)、本案代表圖之元件代表符號簡單說明：

31	命令碼	32	起始位址
33	資料長度	34	資料本體

六、英文發明摘要 (發明名稱：Data Transmission Method for Microprocessors of Programmable Logic Controller)

A data transmission method for microprocessors is accomplished by using an I/O to transmit data signals while another one to transmit pulse-wave signals, wherein the data signal consists of a command code character, an initial address character, a data-length character, and at least one data-conception character, and each character consists of eight data bits, one parity bit, and



四、中文發明摘要 (發明名稱：可程式邏輯控制器之微處理器間之資料傳輸方法)

六、英文發明摘要 (發明名稱：Data Transmission Method for Microprocessors of Programmable Logic Controller)

one responding bit.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係為一種可程式邏輯控制器之微處理器間之資料傳輸方法，特別是一種可大幅減少資料傳輸所需輸入／輸出腳位之通訊協定。

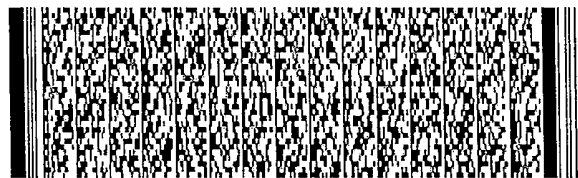
### 【先前技術】

可程式邏輯控制器，係一種固態電子裝置，它利用來自輸入／輸出裝置的回授信號及儲存的程式，控制機械或程序的操作。而可程式邏輯控制器主要係由處理中心單元及輸入／輸出模組介面兩大部分所組成。其中，處理中心單元一般均利用微處理器作為可程式邏輯控制器的中央處理單元。

而微處理器間之資料傳輸模式可分為並列傳輸及串列傳輸，所謂的並列傳輸係在同一時間內以數個位元為一個轉移單位的傳輸方式，即傳輸的資料中位元組中的每一個位元都有自己的通道，而且每一個位元組中的所有位元都能同時用來傳輸，故傳輸速度較快，但是由於並列傳輸所需的通道數（I/O腳位）較多，所以價格較貴。因此多僅限於短距離傳輸之用。

而串列傳輸則係將資料拆成一個位元接一個位元的方式傳送，接收時再重新組合，即傳輸的資料其位元組中的每一個位元必須沿著同一條通道依序傳輸，目前串列傳輸的介面主要計有 UART、SPI 及 I2C。

通用非同步收發器 (Universal Asynchronous Receiver Transmitter, UART)，是微處理器和外部進行



## 五、發明說明 (2)

通訊的重要介面部件，主要用於串平行數據轉換，雖然目前大部分的微處理器均有此模組，但卻存有資料傳輸速率無法自動選擇及任意選擇的缺點。

至於 SPI 及 I2C 等介面模組則由於應用不廣泛，若微處理器未加裝此模組，將會無法得到快速的資料傳輸。

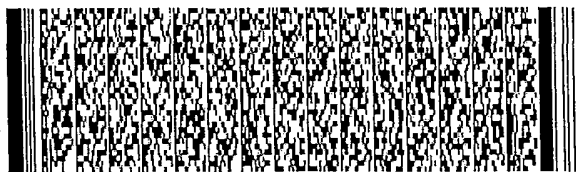
### 【發明內容】

本發明的主要目的即為提供一種可節省可程式邏輯控制器的微處理器於資料傳輸時所需之輸入/輸出腳位，且可彈性調整資料傳輸速率之通訊協定。

為達上述之目的，本發明之可程式邏輯控制器之微處理器間之資料傳輸方法，係將作為主機之微處理器透過一輸入/輸出腳位來傳輸及接收資料訊號，再透過另一輸入/輸出腳位來傳輸時脈訊號。

而作為副機之微處理器亦透過一輸入/輸出腳位來傳輸及接收資料訊號，再透過另一輸入/輸出腳位來接收時脈訊號。

而資料訊號則包括有一命令碼、一起始位址、一資料長度及至少一個以上的資料本體所組成，每一個字元組均係由八個資料位元、一個檢查位元及一個回應位元所組成，其中命令碼之第一位元至第四位元係用以決定資料之傳輸速率，第五位元用以確認傳輸速率，第六位元至第八位元用以定義資料之傳輸協定，第九位元用以傳送一同位元以檢查資料傳送時是否錯誤，而第十位元則為回應位元，用以確認資料傳輸完整。





### 五、發明說明 (3)

為使對本發明的目的、構造特徵及其功能有進一步的了解，茲配合圖示詳細說明如下：

#### 【實施方式】

請參考「第 1 圖」所示，為本發明之電路方塊示意圖，如圖所示：此可程式邏輯控制器之微處理器間之資料傳輸方法，係將二微處理器 11、12 定義為主機 (master) 及副機 (slave)，且作為主機之微處理器 11 係透過一設於此微處理機 11 上之輸入/輸出 (I/O) 腳位 13 來傳輸及接收資料訊號 21 至作為副機之微處理器 12，再透過另一設於此微處理機 11 上之輸入/輸出 (I/O) 腳位 14 傳輸時脈訊號 22 至作為副機之微處理器 12。

而作為副機之微處理器 12 亦係透過一設於此微處理機 12 上之輸入/輸出 (I/O) 腳位 15 來傳輸及接收資料訊號 21 至作為主機之微處理器 11，再透過另一設於此微處理器 12 上之輸入/輸出 (I/O) 腳位 16 接收作為主機之微處理器 11 發出之時脈訊號 22。

請參考「第 2 圖」所示，為本發明之資料訊號格式示意圖，如圖所示：而上述資料訊號 21 係由一命令碼 31、一接續於此命令碼 31 之起始位址 32、一接續於此起始位址 32 之資料長度 33 及一接續於此資料長度 33 之至少一個以上之資料本體 34 等字元組所組成，且各字元組均由 8 個資料位元、1 個檢查位元及 1 個回應位元等共 10 個位元所組成。

此命令碼 31，係用以定義資料之初始值。

此起始位址 32，係用以定義資料之起始位址。



#### 五、發明說明 (4)

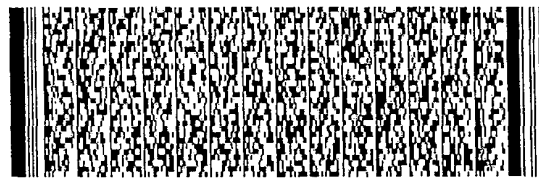
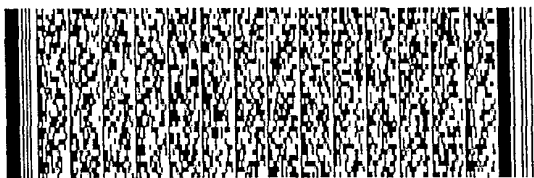
此資料長度 33，係用以定義資料之長度。

請參考「第 3 圖」所示，為本發明之命令碼及時脈訊號示意圖，如圖所示：命令碼 31 於資料尚未傳輸前，係維持在 1 狀態 (MARK)，然後作為主機之微處理器 11 送出之第一位元至第四位元 (b0 至 b3) 固定為 0101 狀態，則作為副機之微處理器 12 藉由時脈訊號 22 紀錄各位元的時間 (t0 至 t2)，接著當作為主機的微處理器 11 送出第五位元 (b4) 為 0 狀態 (SPACE) 時，作為副機之微處理器 12 將依主機 11 送出第一位元至第五位元所需之時間 (t0 至 t3) 計算出資料的傳輸速率，並於主機 11 送出第六位元 (b5) 時，副機 12 藉由時脈再次確認 t4 所需之時間是否與先前所計算出的資料傳輸速率相同。

若副機 12 判斷相同則繼續接收資料，第六位元至第八位元 (b5-b7) 則用以定義主機 11 與副機 12 間之傳輸協定，若為 000 是十六位元的讀出模式，011 是八位元的讀出模式，101 是十六位元的寫入模式，110 則是八位元的寫入模式。

第九位元 (b8) 係為檢查位元，用於傳送一個同位元以檢查資料傳送時是否錯誤，若第九位元為 0 狀態，則為偶同位檢查模式，若第九位元為 1 狀態，則為奇同位檢查模式。

第十位元 (b9) 係為副機回應位元，若第十位元為 1 狀態，則表示副機 12 已正確收到主機 11 訊號可開始傳送資料，若第十位元為 0 狀態，則表示副機 12 未正確收到主機



## 五、發明說明 (5)

11訊號。

綜上所述，本發明實具有下述優點：

(一)、本發明之串列傳輸僅需利用到微處理器之两根輸入/輸出 (I/O) 腳位即可進行資料傳輸，一根輸入/輸出 (I/O) 腳位傳輸資料訊號，另一根輸入/輸出 (I/O) 腳位傳輸時脈訊號，可大幅改善傳統並列傳輸需使用過多腳位的缺點。

(二)、本發明可藉由命令碼的定義來決定兩微處理機間之資料傳輸速率，並可彈性調整起始位址為八位元位址或十六位元位址。

以上所述者，僅為本發明其中的較佳實施例而已，並非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。



圖式簡單說明

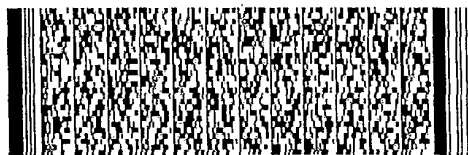
第 1圖 為 本 發 明 之 電 路 方 塊 示 意 圖 ；

第 2圖 為 本 發 明 之 資 料 訊 號 格 式 示 意 圖 ； 以 及

第 3圖 為 本 發 明 之 命 令 碼 及 時 脈 訊 號 示 意 圖 。

【 圖 式 符 號 說 明 】

11、 12	微 處 理 器
13、 14、 15、 16	輸 入 /輸 出 腳 位
21	資 料 訊 號
22	時 脈 訊 號
31	命 令 碼
32	起 始 位 址
33	資 料 長 度
34	資 料 本 體



#### 六、申請專利範圍

1.一種可程式邏輯控制器之微處理器間之資料傳輸方法，係將二微處理器定義為主機及副機，其特徵在於：

該主機及該副機分設有二相對應之輸入/輸出

(I/O) 腳位，則該主機及該副機分別藉由其一之輸入/輸出(I/O) 腳位來傳輸及接收一資料訊號，並分別藉由另一輸入/輸出(I/O) 腳位來傳輸一時脈訊號至該副機接收。

2.一種可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，係包括有下列字元組：

一命令碼，係用以定義資料之初始值；

一起始位址，係接續於該命令碼，用以定義資料之起始位址；

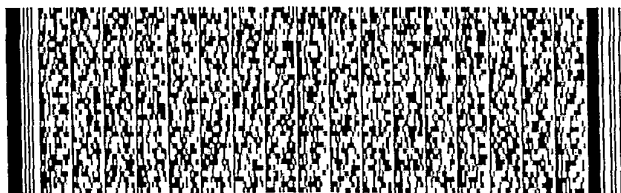
一資料長度，係接續於該起始位址，用以定義資料之長度；以及

至少一個以上之資料本體，係接續於該資料長度。

3.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該等字元組係由八個資料位元、一個檢查位元及一個回應位元所組成。

4.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該命令碼之第一位元至第四位元係用以決定資料之傳輸速率。

5.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該命令碼之第五位元係用以確認傳輸速率。



#### 六、申請專利範圍

6.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該命令碼之第六位元至第八位元係用以定義資料之傳輸協定。

7.如申請專利範圍第6項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該第六位元至第八位元若為000狀態，則為十六位元讀出模式。

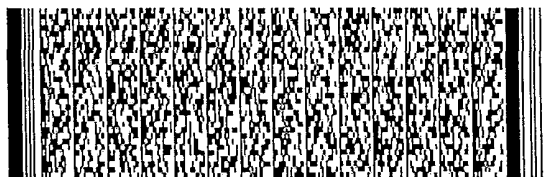
8.如申請專利範圍第6項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該第六位元至第八位元若為011狀態，則為八位元讀出模式。

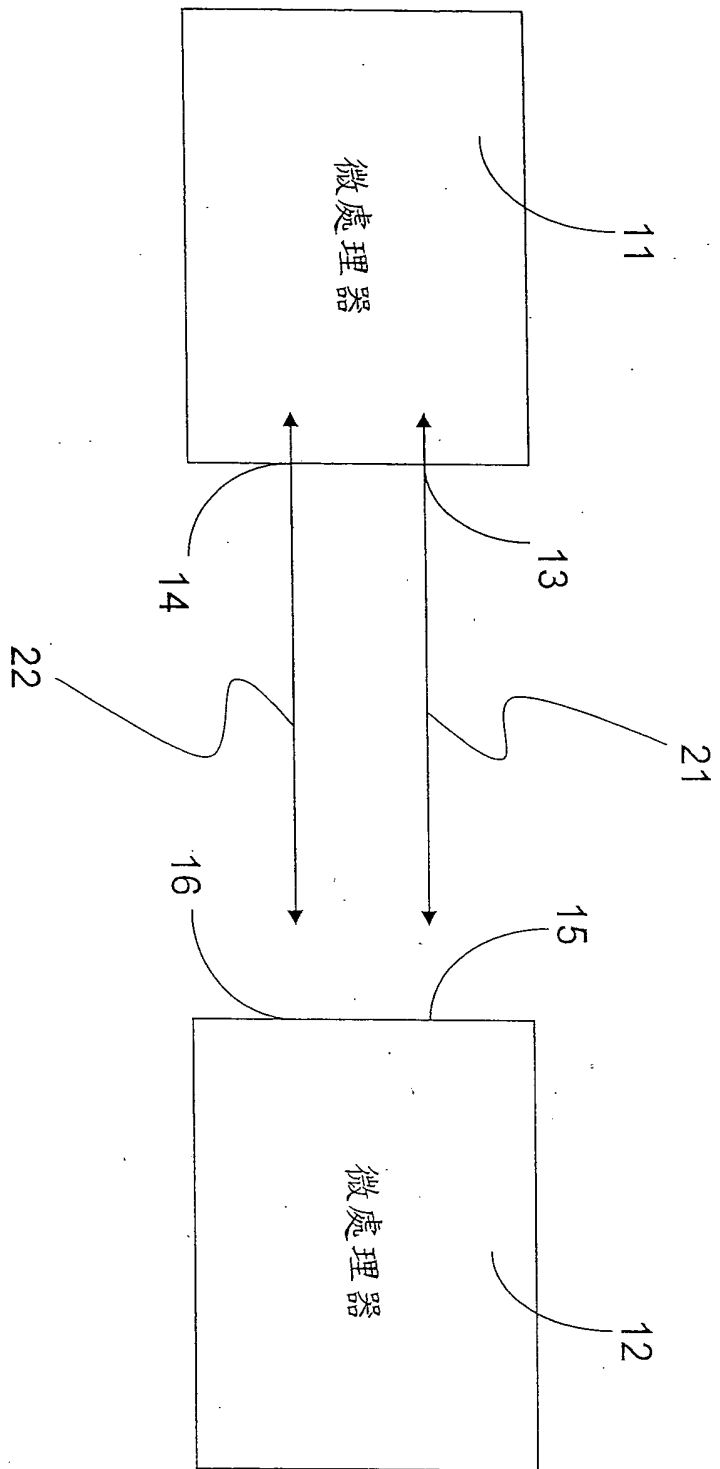
9.如申請專利範圍第6項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該第六位元至第八位元若為101狀態，則為十六位元寫入模式。

10.如申請專利範圍第6項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該第六位元至第八位元若為110狀態，則為八位元寫入模式。

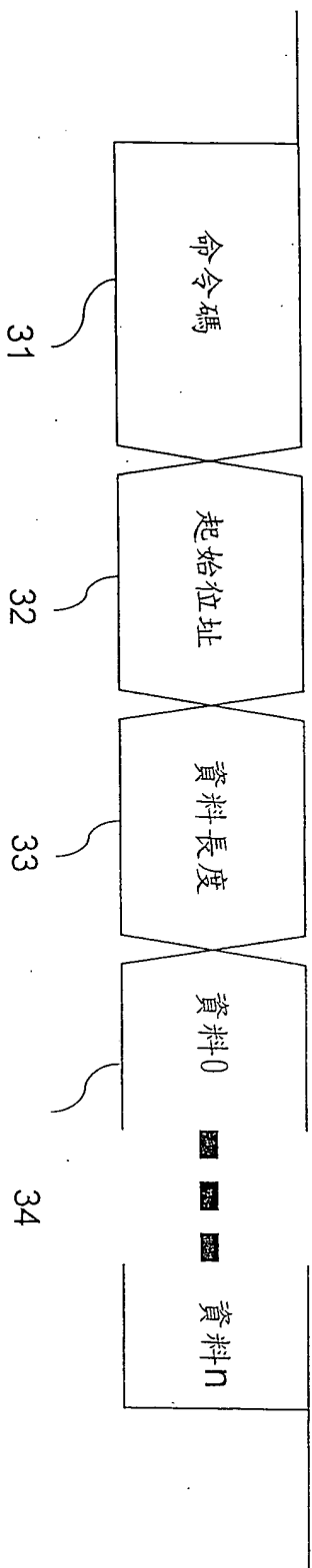
11.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該命令碼之第九位元係為檢查位元，即藉由傳送一同位元以檢查資料傳送時是否錯誤。

12.如申請專利範圍第2項所述之可程式邏輯控制器之微處理器間之資料傳輸方法資料訊號，其中該命令碼之第十位元係為回應位元，用以確認資料傳輸完整。



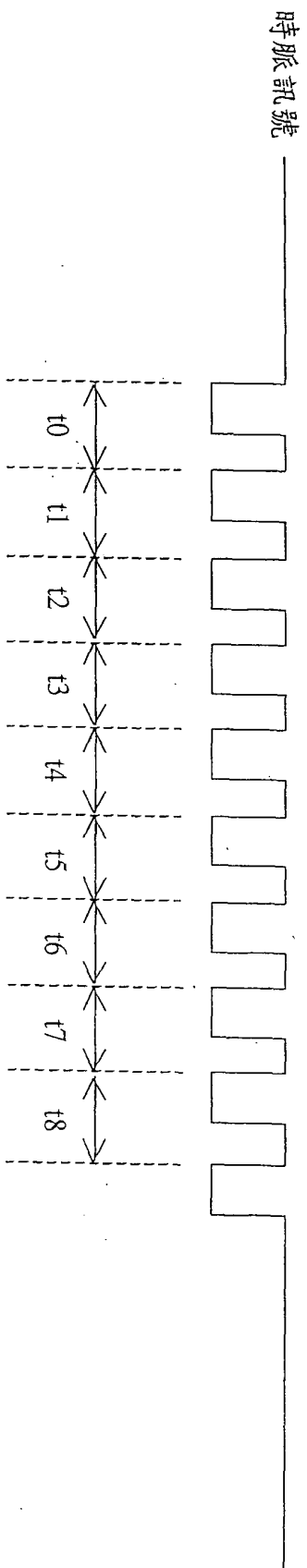
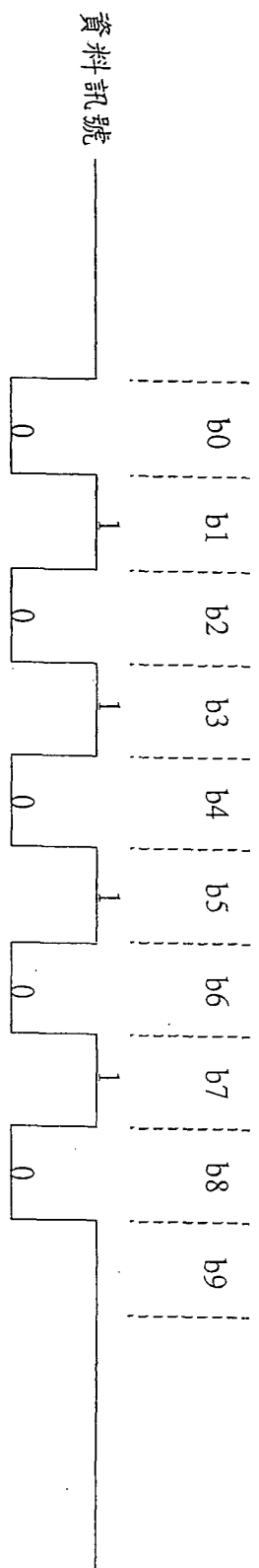


第1圖



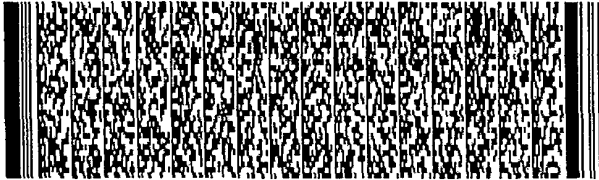
第2圖



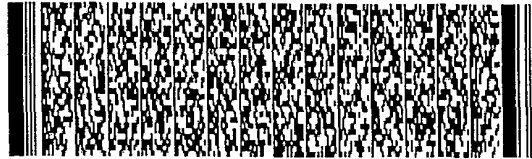


第3圖

第 1/12 頁



第 2/12 頁



第 2/12 頁



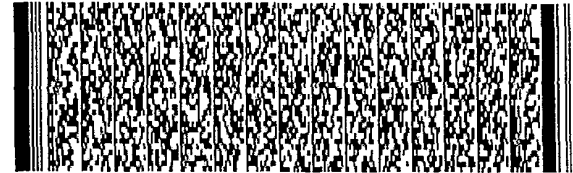
第 3/12 頁



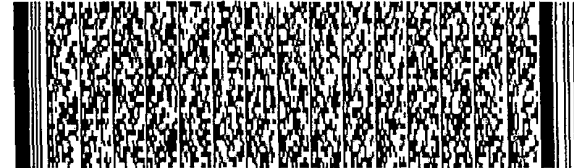
第 4/12 頁



第 5/12 頁



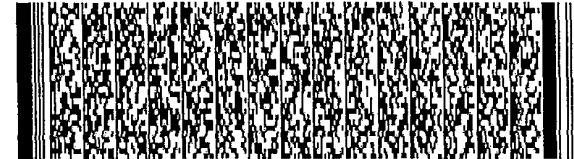
第 5/12 頁



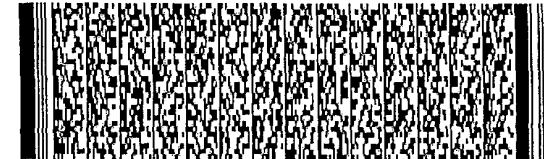
第 6/12 頁



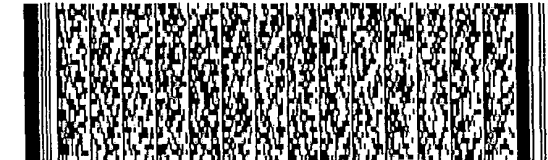
第 6/12 頁



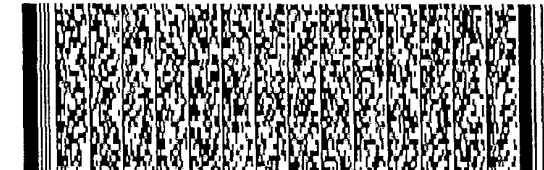
第 7/12 頁



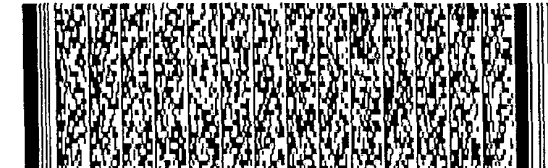
第 7/12 頁



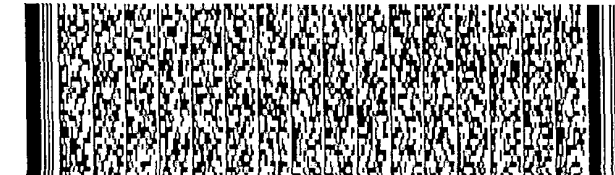
第 8/12 頁



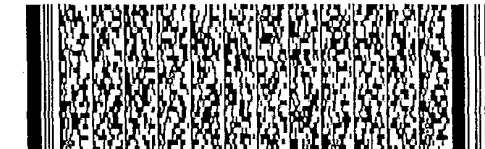
第 8/12 頁



第 9/12 頁



第 10/12 頁



第 11/12 頁

